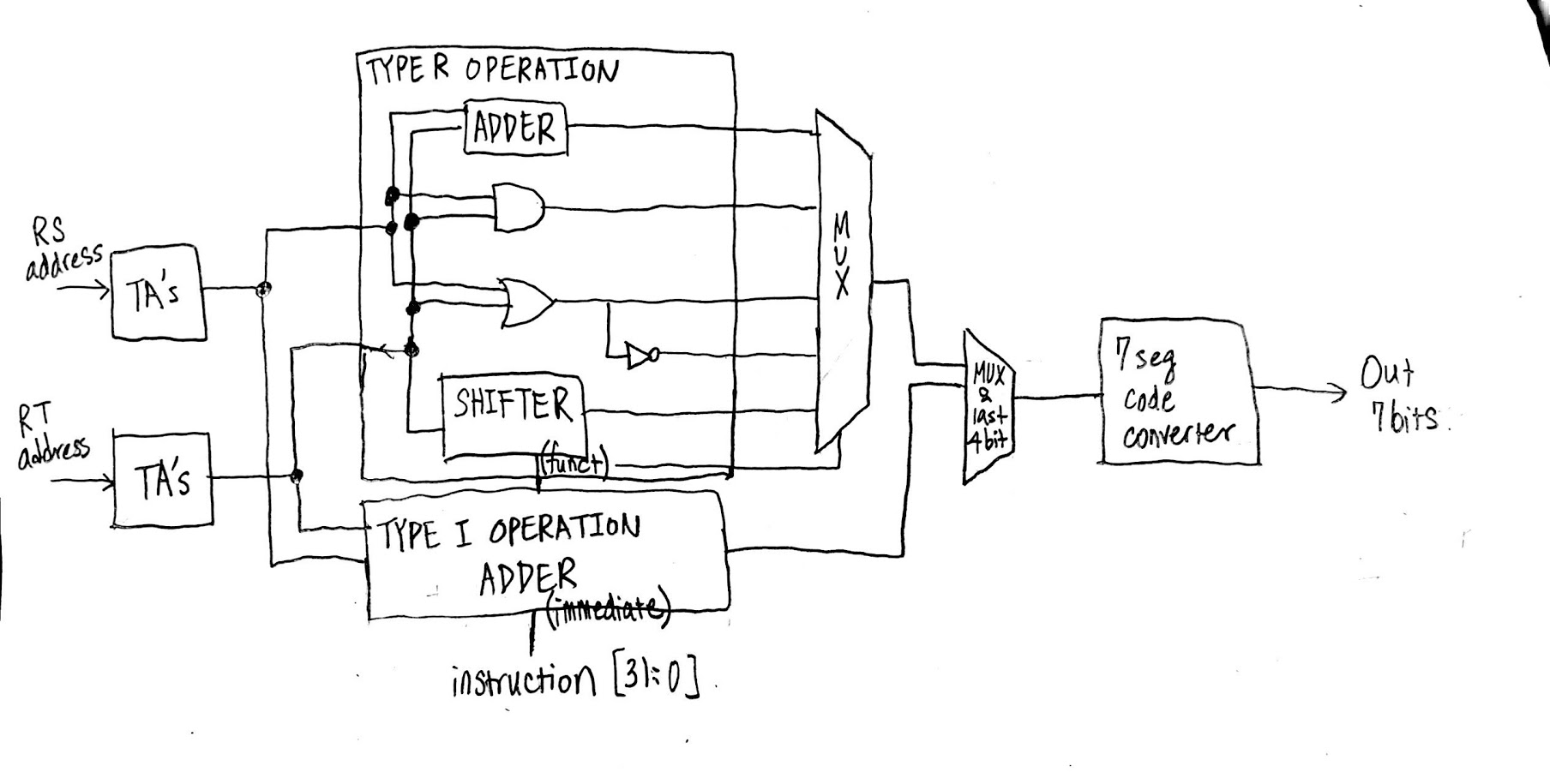
hw01: MIPS CPU + Seven-Segment Display

**Block Diagram**

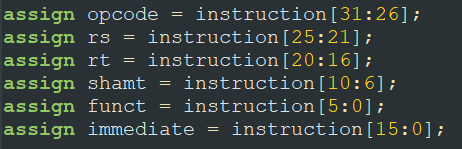


**設計概述**

依照這次的設計所畫出的架構圖大致上長這樣。(如上圖)

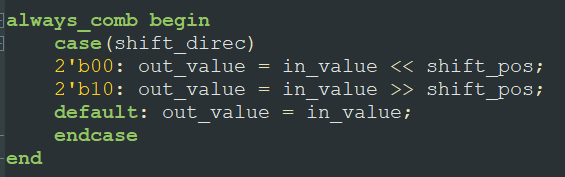
這次的設計我從七段顯示器的轉換開始設計，接下來則是operation還有funct的multiplexer，再來才是Type R裏頭各個case的設計。雖然這次的規模或許用不到這樣的流程，但將來在做更大的設計時我覺得除了畫架構圖外，在自製module的時候，從尾到頭、大到小設計會比較能讓自己搞清楚當下所進行到的設計階段。

另外，因為進來的instruction有長長的32bit，在運用的時候又要分段進行指令和數值的讀取，若每次都直接用instruction[幾bit:幾bit]的方式很容易眼花撩亂而且出錯率很高。



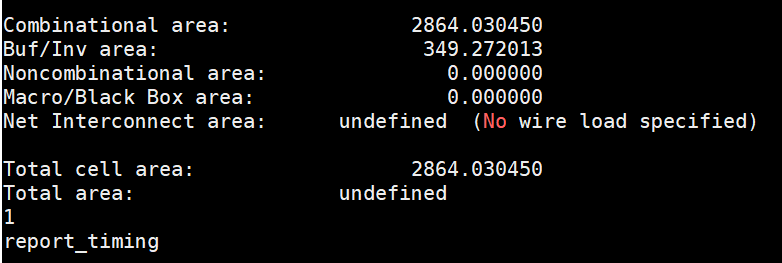
所以(如上圖)我就新宣告不同名字的logic對instruction分段assign再利用這些新的logic去做運算，這樣不但易於判讀，而且在詢問老師後也確認是不會增加額外的面積或影響效率的。

在設計shift功能的時候，我本來是用兩個module分別寫shift right和shift left，而且裡面還寫了17個case分別代表 shift一個bit、兩個bit、……，包括default全部清為零(shift超過15 bit就等於輸出0)，但後來發現其實有更簡潔的寫法，而原本以為這樣的寫法verilog不會接受，沒想到是沒問題的，就是(如下圖)



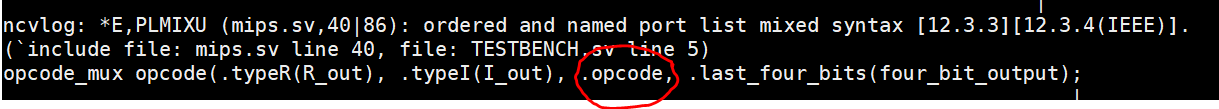
直接將shift幾個bit的變數寫在 << 和 >> 旁就可以了，這樣不但可以全部寫在一個module裡面分兩個case判斷是shift right或shift left，也省了好幾列的code，但至於實際有沒有縮小電路的面積我沒有求證，當時沒有想到拿舊的寫法去跑跑看合成，所以也沒做面積上的比對，但和原本的寫法比較，推測應該是可以增加效率的，因為就原本的兩層case和現在的一個case比，就少了一個mux gate要過。

**合成面積**



**設計過程遇到的問題**

這次的作業進行run的時候有遇到如下圖的error: “ordered and named port list mixed syntax” 這是因為裏頭在做name mapping的時候所做的命名和模組的名字一樣所導致的錯誤，對於這點我本來還不知道也沒有注意，在未來設計中會更加小心。



**心得**

對於這次的作業經驗，我歸納了幾點讓自己在未來進行設計時能多加注意和參考:

1. 設計前先搞清楚設計要求，才不會誤打誤撞
2. 設計前先畫架構圖和決定code順序
3. 在不影響效率的前提下，盡可能地用high level的寫法，比較明瞭清楚
4. 命名的時候注意不要有撞名或是有bit不對的狀況